

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM  
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation <sup>7</sup> :	H01L	A2	(11) Internationale Veröffentlichungsnummer: WO 00/13206
			(43) Internationales Veröffentlichungsdatum: 9. März 2000 (09.03.00)
(21) Internationales Aktenzeichen: PCT/DE99/02789		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 30. August 1999 (30.08.99)		Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	
(30) Prioritätsdaten: 198 40 866.8 31. August 1998 (31.08.98) DE			
(71) Anmelder ( <i>für alle Bestimmungsstaaten ausser US</i> ): INSTITUT FÜR HALBLEITERPHYSIK FRANKFURT (ODER) GMBH [DE/DE]; Walter-Korsing-Strasse 2, D-15230 Frankfurt (Oder) (DE).			
(72) Erfinder; und			
(75) Erfinder/Anmelder ( <i>nur für US</i> ): SCHMUNDT, Holger [DE/DE]; Karl-Ritter-Platz 6, D-15230 Frankfurt (Oder) (DE). KNOLL, Dieter [DE/DE]; Uferstrasse 7, D-15230 Frankfurt (Oder) (DE). HEINEMANN, Bernd [DE/DE]; Schalmeienweg 29, D-15234 Frankfurt (Oder) (DE).			
(74) Anwalt: HEITSCH, Wolfgang; Göhlsdorfer Strasse 25g, D-14778 Jeserig (DE).			
(54) Title: METHOD FOR DOPING EXTERNAL BASE CONNECTION AREAS OF Si-BASED SINGLE POLYSILICON NPN BI-POLAR TRANSISTORS			
(54) Bezeichnung: VERFAHREN ZUR DOTIERUNG DER EXTERNEN BASISANSCHLUSSGEBIETE VON SI-BASIERTEN EINFACH-POLYSILIZIUM-NPN-BIPOLARTRANSISTOREN			
(57) Abstract			
<p>The invention relates to a method for doping external base connection areas of Si-based single polysilicon NPN bi-polar transistors. The aim of the invention is to provide a method for doping the external base connection areas of Si-based single polysilicon NPN bi-polar transistors, whereby said method, in addition to meeting requirements that can also be fulfilled by using ion implantation, i.e. providing a high surface concentration of doping atoms with a low thermal budget, low penetration depths and an absence of defects, guarantees extensive avoidance of TED in the inner area of the transistors. This is achieved by employing a Br<sub>3</sub> pre-coating process as a diffusion process. The doping of base connection areas of single polysilicon technology NPN bi-polar transistors is therefore carried out in a diffusion step, as opposed to ionic implantation.</p>			
<p style="text-align: center;"><b>BBr<sub>3</sub> PRE-COATING</b> <b>BBr<sub>3</sub>-Vorbelegung</b></p>			

**(57) Zusammenfassung**

Die Erfindung bezieht sich auf ein Verfahren zur Dotierung der externen Basisanschlussgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren. Aufgabe der Erfindung ist es, ein Verfahren zur Dotierung der externen Basisanschlussgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren vorzuschlagen, das über die Anforderungen hinaus, die auch mittels Ionenimplantation erfüllt werden können, nämlich hohe Oberflächenkonzentration der Dotieratome mit geringem thermischem Budget, geringe Eindringtiefen und Defektfreiheit, eine weitestgehende Vermeidung der TED im inneren Transistorgebiet gewährleistet. Erfindungsgemäß wird diese Aufgabe gelöst, indem als Eindiffusionsprozess ein BBr<sub>3</sub>-Vorbelegungsprozess Anwendung findet. Die Dotierung der Basisanschlussgebiete von npn-Bipolartransistoren in Einfach-Polysilizium-Technologie wird somit nicht mehr durch Ionenimplantation, sondern mittels eines Diffusionsschrittes durchgeführt.

**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		

**Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren**

Die Erfindung bezieht sich auf ein Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren.

In modernen Si-basierten Technologien zur Herstellung vertikaler npn-Bipolartransistoren, speziell für den Einsatz in Hochfrequenz-Schaltungen, kommen im wesentlichen zwei Varianten für die Kontaktierung von Emitter und Basis zur Anwendung. In sogenannten Doppel-Polysilizium-Technologien werden hochdotierte Polysilizium-Schichten unterschiedlichen Leitungstyps sowohl zur Emitterkontakteierung als auch für den seitlichen Basisanschluß benutzt. In sogenannten Einfach-Polysilizium-Technologien wird nur der Emitter mit Polysilizium kontaktiert, während die seitlichen Basisanschlußgebiete durch Ionenimplantation realisiert werden. Der Vorteil der zweiten Variante ist eine wesentlich geringere Prozeßkomplexität. Eine Zwitterstellung hinsichtlich dieser Einordnung nehmen Technologien ein, in denen die innere Basis durch Epitaxie hergestellt wird und durch Gestaltung des Epitaxieprozesses dafür gesorgt wird, daß auf Isolationsgebieten simultan zur einkristallinen inneren Basisschicht eine polykristalline Schicht wächst, die als seitlicher Basisanschluß genutzt werden kann. Ein solcher Epitaxieprozeß wird auch als differentielle Epitaxie bezeichnet. Da die Herstellung der Polysilizium-Schicht für den Basisanschluß keinen zusätzlichen Abscheideprozeß erfordert, werden Technologien mit differentieller Epitaxie gewöhnlich ebenfalls zu den Einfach-Polysilizium-Technologien gerechnet. Diese

Zuordnung wird noch dadurch bekräftigt, daß, wie bei Einfach-Polysilizium-Technologien ohne epitaxiale innere Basis, die Dotierung des externen Basisgebietes durch Ionenimplantation erfolgt und dabei auch ein Teil der einkristallin gewachsenen Schicht diesen Implantationsschritt erhält.

Aus funktionalen Gründen muß der Implantationsschritt (einschließlich Ausheilbedingungen) für die externen Basisanschlußgebiete von vertikalen npn-Transistoren in Einfach-Polysilizium-Technologie mit oder ohne epitaxiale innere Basis folgendes leisten: Realisierung einer hohen Oberflächenkonzentration der Dotierungsatome (zur Gewährleistung niedriger Übergangswiderstände zum Kontaktsilizid), bei geringer Eindringtiefe (zur Gewährleistung niedriger parasitärer Basis-Kollektor-Kapazitäten) und Defektfreiheit (zur Gewährleistung niedriger Basis-Kollektor-Restströme). Außerdem soll der Implantationsschritt für die externen Basisanschlußgebiete das Vertikalprofil der Dotierungsatome im inneren Transistorgebiet möglichst nicht beeinflussen. Bei den in modernen Technologien üblichen geringen lateralen Abmessungen der Transistoren kann aber in der Regel diese Beeinflussung nicht ausgeschlossen werden. Sie äußert sich in einer beschleunigten Diffusion der Dotierungsatome im inneren Transistorgebiet, Transient Enhanced Diffusion (TED) genannt. Dieser Effekt ist besonders nachteilig für Transistoren mit epitaxialer SiGe-Basis, sogenannten Si/SiGe-Heterojunction Bipolartransistoren (HBT), da für diesen Transistortyp eine Ausdiffusion der epitaxial eingebauten Dotierungsatome aus der SiGe-Schicht infolge TED zur starken Verschlechterung wesentlicher statischer und dynamischer Transistorparameter führt.

Angetrieben durch ähnliche Anforderungen bei der Realisierung der Source- und Drain-Gebiete von p-Kanal-Transistoren in modernen CMOS-Technologien, wurden Entwicklungen der Implantationstechnik vorangetrieben, die auch für die Dotierung des externen Basisanschlußgebietes von vertikalen npn-Bipolartransistoren in Einfach-Polysilizium-

Technologie vorteilhaft nutzbar sind. Allerdings vermindern auch sie noch nicht ausreichend die TED speziell für den Fall von HBT mit extrem hoher epitaxialer Dotierung der inneren Basis.

Aufgabe der Erfindung ist es, ein Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren vorzuschlagen, das über die Anforderungen hinaus, die auch mittels Ionenimplantation erfüllt werden können, nämlich hohe Oberflächenkonzentration der Dotieratome mit geringem thermischen Budget, geringe Eindringtiefen und Defektfreiheit, eine weitestgehende Vermeidung der TED im inneren Transistorgebiet gewährleistet.

Erfnungsgemäß wird diese Aufgabe gelöst, indem als Eindiffusionprozeß ein BBr<sub>3</sub>-Vorbelegungsprozeß Anwendung findet. Die Dotierung der Basisanschlußgebiete von npn-Bipolartransistoren in Einfach-Polysilizium-Technologie wird somit nicht mehr durch Ionenimplantation, sondern mittels eines Diffusionsschrittes durchgeführt. Dazu wird von einem an sich bekannten Diffusionsverfahren zur Herstellung hochdotierter p-leitender Gebiete, der sogenannten BBr<sub>3</sub>-Vorbelegung, ausgegangen. Dieses Verfahren wurde bisher mit speziellen Prozeßbedingungen, z. B. hohem thermischem Budget, Kopplung der Vorbelegung mit einem Eindiffusionsschritt, vor allem zur Realisierung großer Eindringtiefen eingesetzt. Es wird hier aber erfungsgemäß in einem niedrigen Temperaturbereich zwischen 700°C und 900°C und vorzugsweise mit Quellzeiten zwischen nur 5 min und 120 min angewendet. Außerdem wird durch Einführung von speziellen Schutzschichten für den Polysilizium-Emitter die typische Prozeßfolge von Einfach-Polysilizium-Technologien so modifiziert, daß das Diffusionsverfahren ohne Beeinflussung der Emitterqualität nutzbar ist.

Das während des BBr<sub>3</sub>-Vorbelegungsprozesses entstandene sogenannte Vorbelegungsoxid wird in einer Ausführungsform anschließend, insbesondere naßchemisch mit gepufferter Flußsäure entfernt.

In einer anderen Ausführungsform der Erfindung wird das Vorbelegungsoxid nicht unmittelbar nach dem Vorbelegungsprozeß entfernt, wobei mittels schneller thermischer Ausheilung (rapid thermal annealing, RTA) das Dotierungs niveau erhöht wird. Die Wahl der Parameter, insbesondere des Temperatur-Zeit-Verlaufs des RTA-Prozesses, richtet sich nach dem gewünschten Dotierungsprofil bzw. dem Anwendungszweck. Vorzugsweise wird das RTA bei einer Temperatur zwischen 900°C und 1100°C und Prozeßzeiten zwischen 10 s und 120 s durchgeführt.

Vorzugsweise wird der BBr<sub>3</sub>-Vorbelegungsprozeß selbstjustiert zum inneren Transistorgebiet ausgeführt. Dabei wird während des BBr<sub>3</sub>-Vorbelegungsprozesses das innere Transistorgebiet durch eine Siliziumnitridschicht oder eine Siliziumoxynitridschicht abgedeckt, deren laterale Abmaße mit den bekannten Methoden, die in der Mikroelektronik benutzt werden, definiert wurden. In Abwandlung dessen kann auch während des BBr<sub>3</sub>-Vorbelegungsprozesses das innere Transistorgebiet durch einen Schichtstapel, bestehend aus Siliziumoxid und Siliziumnitrid, Siliziumoxid und Polysilizium, Siliziumoxid und Siliziumoxynitrid oder weiteren Kombinationen dieser vier Materialien, abgedeckt werden, dessen laterale Abmaße mit den bekannten Methoden, die in der Mikroelektronik benutzt werden, definiert wurden.

Weiterhin kann der BBr<sub>3</sub>-Vorbelegungsprozeß vorzugsweise selbstjustiert zu einem Polysilizium-Emitter ausgeführt werden. Dabei sind die lateralen Abmessungen eines Polysilizium-Emitters mit bekannten Methoden, die in der Mikroelektronik zur Schichtstrukturierung benutzt werden, vor Durchführung des BBr<sub>3</sub>-Vorbelegungsprozesses definiert worden. Zur Strukturierung der Polysilizium-Emitter-Schicht wird eine Hartmaske aus Siliziumnitrid oder Siliziumoxynitrid oder Kombinationen dieser Materialien mit

unterliegendem Siliziumoxid verwendet. Diese Hartmaske wird nicht vor Ausführung des  $\text{BBr}_3$ -Vorbelegungsprozesses entfernt. Die Seitenwand des Polysilizium-Emitters und der Hartmaske ist während des  $\text{BBr}_3$ -Vorbelegungsprozesses durch Spacer abgedeckt. Diese Spacer bestehen aus Siliziumnitrid, Siliziumoxynitrid oder Polysilizium oder Kombinationen dieser Materialien untereinander oder mit unterliegendem Siliziumoxid.

Das erfindungsgemäße Verfahren mit  $\text{BBr}_3$ -Vorbelegungsprozeß findet insbesondere für Transistoren Anwendung, deren Basis mittels differentieller Epitaxie hergestellt wird. Die Basis-Schicht kann dabei Germanium oder Germanium mit Beimengungen von Kohlenstoff enthalten.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden im folgenden näher erläutert.

Die Zeichnungen zeigen:

Fig. 1a - 1c Ausschnitt aus dem Prozeßablauf zur Herstellung von HBT's in Einfach-Polysilizium-Technologie, der den Verfahrensablauf zur Erzeugung der Basisanschlußdotierung mittels  $\text{BBr}_3$ -Vorbelegung zeigt.

Beispiel 1:

In diesem Ausführungsbeispiel wird die Dotierung der Basisanschlußgebiete eines npn-Si/SiGe-Heterobipolartransistors in Einfach-Polysilizium-Technologie nachfolgend erläutert. Ausgangspunkt des erfindungsgemäßen Verfahrens ist der Zustand nach der

ganzflächigen Epitaxie eines Schichtstapels, bestehend aus einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 1 und einer Si-Schicht 2, wie in Fig. 1a dargestellt. Dabei ist es unwesentlich, ob vor der Epitaxie einige Flächen mit Isolationsgebiet 3 belegt waren und diese Flächen bei der Epitaxie mit polykristallinem Material 1' + 2' bedeckt werden oder ob die Epitaxieschicht vollständig einen einkristallinen Untergrund besitzt.

Nach Abscheidung einer Oxidschicht 4, dargestellt in Fig. 1b, wird nach einer Lackstrukturierung das Emitterfenster in die Oxidschicht 4 naßchemisch geätzt. Anschließend wird eine amorphe Siliziumschicht 5 abgeschieden und implantiert.

Auf die amorphe Siliziumschicht 5 werden eine oder mehrere Schutzschichten 6 aufgebracht, die mindestens die Funktion der Abdeckung der amorphen Siliziumschicht 5 (des späteren Poly-Emitters) bei der  $\text{BBr}_3$ -Vorbelegung übernehmen. Außerdem kann die Schutzschicht 6 so ausgelegt sein, daß sie der noch folgenden Verspacierung der strukturierten amorphen Siliziumschicht 5 dienlich ist.

Nach einem Lackmaskenprozeß wird die Schutzschicht 6 und die amorphe Siliziumschicht 5 in den lackfreien Gebieten mit Ätzstopp auf der Oxidschicht 4 trocken geätzt (Fig. 1b).

Wie in Fig. 1c dargestellt, wird anschließend eine dünne Oxidschicht 7 und das Spacer-Material 8 abgeschieden. Als Spacer-Material findet beispielsweise amorphes Silizium oder Nitrid Anwendung. Es folgt ein Spacer-Prozeß mittels Trockenätzen mit Ätzstopp auf der Oxidschicht 7. Die Oxidschicht 7 und die Oxidschicht 4 werden naßchemisch entfernt. Anschließend wird der  $\text{BBr}_3$ -Vorbelegungsprozeß zur Dotierung der Basisanschlußgebiete durchgeführt (Fig. 1c). Der  $\text{BBr}_3$ -Vorbelegungsprozeß erfolgt bei einer Prozeßtemperatur von 800°C und mit einer Quellzeit von 25 min. Danach wird das Vorbelegungsoxid naßchemisch entfernt.

Die Transistoren können dann mit den üblichen Methoden der Mikroelektronik (hier: Strukturierung der Basisgebiete, Isolatorabdeckung, Kontaktfenstererzeugung, Metallisierung) komplettiert werden.

Beispiel 2:

In diesem Beispiel wird ebenfalls die Herstellung eines npn-Si/SiGe-Heterobipolartransistors in Einfach-Polysilizium-Technologie beschrieben. Gegenüber dem ersten Ausführungsbeispiel findet der  $BBr_3$ -Vorbelegungsprozeß bei einer Temperatur von 750°C und einer Quellzeit von 50 min statt. Das Vorbelegungsoxid wird mit einer Schutzschicht (Low Temperature Oxide, LTO) abgedeckt und anschließend ein RTA bei einer Temperatur von 1000°C für eine Dauer von 30 s unter Stickstoff durchgeführt. Die Schutzschicht und das Vorbelegungsoxid werden dann naßchemisch entfernt. Der weitere Prozeßverlauf erfolgt wie im ersten Ausführungsbeispiel.

In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele ein Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden.

**Patentansprüche**

1. Verfahren zur Dotierung der externen Basisanschlußgebiete von Si-basierten Einfach-Polysilizium-npn-Bipolartransistoren, **dadurch gekennzeichnet**, daß ein  $\text{BBr}_3$ -Vorbelegungsprozeß Anwendung findet.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß der  $\text{BBr}_3$ -Vorbelegungsprozeß bei einer Temperatur zwischen 700°C und 900°C durchgeführt wird.
3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß für den  $\text{BBr}_3$ -Vorbelegungsprozeß Quellzeiten zwischen 5 min und 120 min angewendet werden.
4. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß das während des Vorbelegungsprozesses entstandene Vorbelegungsoxid unmittelbar nach dem Prozeß, insbesondere naßchemisch mit gepufferter Flußsäure entfernt wird.
5. Verfahren nach einem oder mehreren der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß das während des Vorbelegungsprozesses entstandene Vorbelegungsoxid unmittelbar nach dem Prozeß nicht entfernt und mittels schneller thermischer Ausheilung (RTA) das Dotierniveau erhöht wird.

6. Verfahren nach Anspruch 5, **dadurch gekennzeichnet**, daß das RTA bei einer Temperatur zwischen 900°C und 1100°C und Prozeßzeiten zwischen 10 s und 120 s durchgeführt wird.
7. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der BBr<sub>3</sub>-Vorbelegungsprozeß selbstjustiert zum inneren Transistorgebiet ausgeführt wird.
8. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**, daß während des BBr<sub>3</sub>-Vorbelegungsprozesses das innere Transistorgebiet durch eine Siliziumnitridschicht oder eine Siliziumoxynitridschicht abgedeckt ist, deren laterale Abmaße mit den bekannten Methoden, die in der Mikroelektronik benutzt werden, definiert wurden.
9. Verfahren nach Anspruch 7, **dadurch gekennzeichnet**, daß während des BBr<sub>3</sub>-Vorbelegungsprozesses das innere Transistorgebiet durch einen Schichtstapel, bestehend aus Siliziumoxid und Siliziumnitrid, Siliziumoxid und Polysilizium, Siliziumoxid und Siliziumoxynitrid oder weiteren Kombinationen dieser vier Materialien, abgedeckt wird, dessen laterale Abmaße mit den bekannten Methoden, die in der Mikroelektronik benutzt werden, definiert wurden.
10. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der BBr<sub>3</sub>-Vorbelegungsprozeß selbstjustiert zu einem Polysilizium-Emitter ausgeführt wird.

11. Verfahren nach Anspruch 10, **dadurch gekennzeichnet**, daß die lateralen Abmessungen eines Polysilizium-Emitters mit bekannten Methoden, die in der Mikroelektronik zur Schichtstrukturierung benutzt werden, vor Durchführung des BBr<sub>3</sub>-Vorbelegungsprozesses definiert wurden, daß zur Strukturierung der Polysilizium-Emitter-Schicht eine Hartmaske aus Siliziumnitrid oder Siliziumoxynitrid oder Kombinationen dieser Materialien mit unterliegendem Siliziumoxid verwendet wird und daß die verwendete Hartmaske nicht vor Ausführung des BBr<sub>3</sub>-Vorbelegungsprozesses entfernt wird.
12. Verfahren nach Anspruch 11, **dadurch gekennzeichnet**, daß die Seitenwand des Polysilizium-Emitters und der Hartmaske während des BBr<sub>3</sub>-Vorbelegungsprozesses durch Spacer abgedeckt ist, die aus Siliziumnitrid, Siliziumoxynitrid oder Polysilizium oder Kombinationen dieser Materialien untereinander oder mit unterliegendem Siliziumoxid bestehen und die mit bekannten Methoden, die in der Mikroelektronik zur Spacerherstellung verwendet werden, hergestellt wurden.
13. Verfahren nach einem oder mehreren der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der BBr<sub>3</sub>-Vorbelegungsprozeß für Transistoren genutzt wird, deren Basis mittels differentieller Epitaxie hergestellt wird.
14. Verfahren nach Anspruch 13, **dadurch gekennzeichnet**, daß die Basis-Schicht Germanium oder Germanium mit Beimengungen von Kohlenstoff enthält.

BEST AVAILABLE COPY

WO 00/13206

PCT/DE99/02789

1/2

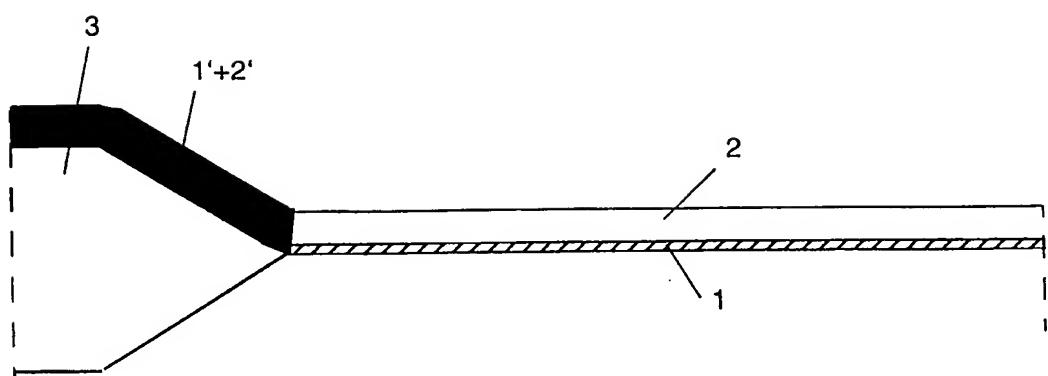


Fig. 1a

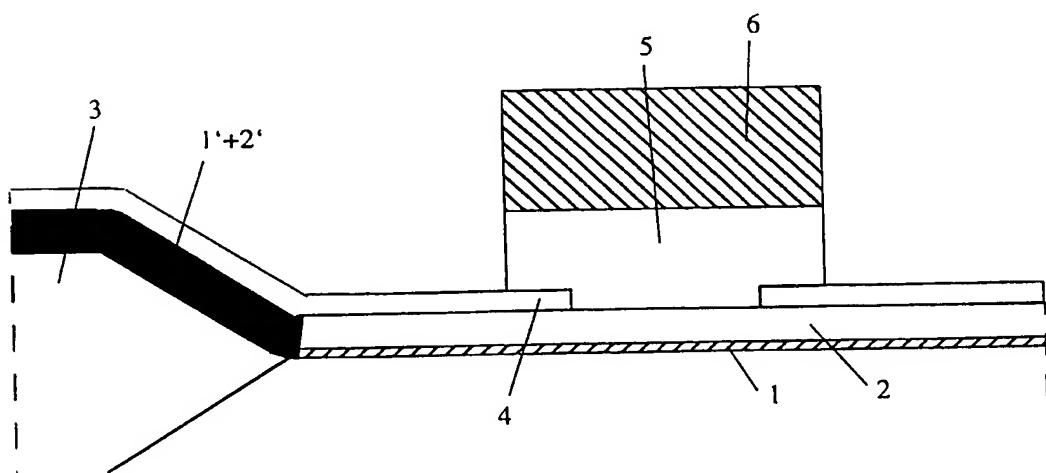


Fig. 1b

BBr<sub>3</sub>-Vorbelegung

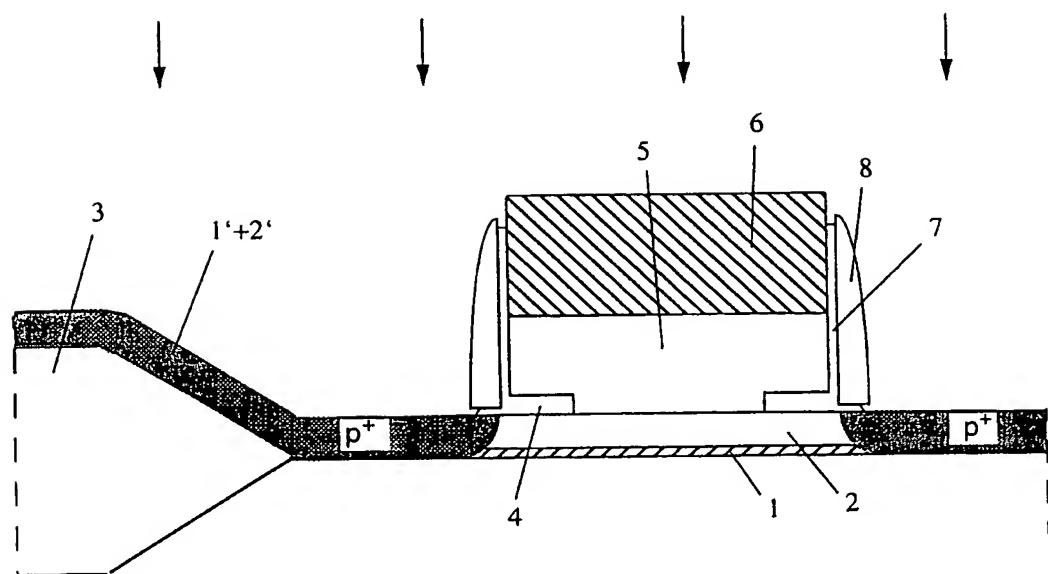


Fig. 1c